

CLIPPEDIMAGE= JP402058030A

PAT-NO: JP402058030A

DOCUMENT-IDENTIFIER: JP 02058030 A

TITLE: LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: February 27, 1990

INVENTOR-INFORMATION:

NAME

TANIGUCHI, HIDEAKI

SHIROHASHI, KAZUO

ORITSUKI, RYOJI

SUZUKI, KENKICHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP63208303

APPL-DATE: August 24, 1988

INT-CL (IPC): G02F001/136;H01L027/10 ;H01L027/12

US-CL-CURRENT: 349/43,349/142

ABSTRACT:

PURPOSE: To improve write characteristics, an aperture rate, and holding characteristics of a video signal by constituting drain electrodes and source electrodes of TFT as picture elements in a comb shape and superposing parts of the projection parts of source electrodes on the gate electrodes of the TFTs.

CONSTITUTION: The drain electrode SD2 and a source electrode SD1 of a thin film transistor TFT as each picture element are constituted in the engaging comb shape and parts of projection parts of the comb shape of the source electrodes SD1 are superposed on the gate electrodes GT of the TFTs. Consequently, the channel width of the TFT is increased along the comb shape, so write characteristics of the video signal can be improved. Further, the TFTs are reducible in size by the increase in the channel width of the TFTs and the aperture rate can be improved. The parasitic capacity formed between the source electrode SD1 and gate electrode GT of the TFT is reduced to eliminate the nonillumination of an image.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A)

平2-58030

⑬ Int. Cl.³

G 02 F 1/136
H 01 L 27/10
27/12

識別記号

5 0 0
3 1 1 A
A

庁内整理番号

7370-2H
8624-5F
7514-5F

⑭ 公開 平成2年(1990)2月27日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 昭63-208303

⑰ 出 願 昭63(1988)8月24日

⑱ 発 明 者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑲ 発 明 者 白 橋 和 男 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑲ 発 明 者 折 付 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑲ 発 明 者 鈴 木 堅 吉 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

1. 走査信号線と映像信号線との交差部に薄膜トランジスタと画素電極との直列回路で形成された画素を配置する液晶表示装置において、前記薄膜トランジスタの前記映像信号線に接続されるドレイン電極、前記画素電極に接続されるソース電極の夫々を互いに噛み合う平面が楕円形状で構成し、前記ソース電極の楕円形状の突出する一部分を薄膜トランジスタのゲート電極と重ね合せたことを特徴とする液晶表示装置。

2. 前記薄膜トランジスタのドレイン電極、ソース電極の夫々は複数個の突出部を有していることを特徴とする特許請求の範囲第1項に記載の液晶表示装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、液晶表示装置、特に、アクティブ・

マトリックス方式で構成される液晶表示装置に適用して有効な技術に関するものである。

(従来の技術)

アクティブ・マトリックス方式の液晶表示装置はマトリックス状に複数の画素を配置している。各画素は、水平方向に延在する複数の走査信号線(ゲート信号線)とそれと交差する垂直方向に延在する複数の映像信号線(ドレイン信号線)とで周囲を囲まれた領域内に配置されている。

特開昭61-166587号公報に記載される画素は薄膜トランジスタ(TFT)と透明画素電極との直列回路で構成されている。この薄膜トランジスタは、ゲート電極上にゲート絶縁膜及び半導体層を介在させてドレイン電極及びソース電極を配置している。ドレイン電極とソース電極とは互いに離隔している。ドレイン電極は映像信号線と一体に構成されている。ソース電極は、前記ドレイン電極と同一導電膜で形成され、透明画素電極に接続されている。

(発明が解決しようとする課題)

前述の液晶表示装置の画素の薄膜トランジスタは映像信号の書込特性(ON特性)を向上するためにチャンネル幅を増加する必要がある。ところが、単純に薄膜トランジスタのチャンネル幅を増加した場合、薄膜トランジスタの占有面積が増加し、それに対応して透明画素電極の面積が縮小するので、開口率が低下するという問題点があった。

また、薄膜トランジスタのチャンネル幅の増加に対応して、ゲート電極とソース電極との重なり合いが増加し、ゲート電極とソース電極との間に形成される寄生容量(C_{gs})が増大する。この寄生容量は、走査信号線に印加される走査信号時に走査信号の立下がり時に、カップリングにより透明画素電極の保持電圧を低下させる。このため、画素は、映像信号の保持特性が低下するので、点灯しづらくなるという問題点があった。

本発明の目的は、液晶表示装置において、映像信号の書込特性を向上すると共に、開口率を向上し、かつ映像信号の保持特性を向上することが可能な技術を提供することにある。

幅を増加した分、薄膜トランジスタのサイズを縮小できるので、画素電極の面積を増加し、開口率を向上することができる。(3)前記薄膜トランジスタのソース電極とゲート電極との間に形成される寄生容量(C_{gs})を低減し、走査信号線の立下がりによる画素電極の保持電圧の低下量を低減したので、映像信号の保持特性を向上することができる。

以下、本発明の構成について、アクティブ・マトリックス方式を採用する液晶表示装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施例]

本発明の一実施例である液晶表示装置の液晶表示部の一画素を第1図(要部平面図)で示し、第1図のII-II切断線で切った断面を第2図で示す。

第1図及び第2図に示すように、液晶表示装置は、1.1[μm]程度の厚さを有する下部透明ガラ

本発明の他の目的は、前記目的を達成すると共に、線欠陥及び点欠陥を低減し、表示品質を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

[課題を解決するための手段]

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

液晶表示装置において、画素の薄膜トランジスタのドレイン電極、ソース電極の夫々を互いに噛み合う平面が節型形状で構成し、前記ソース電極の節型形状の突出部の一部を薄膜トランジスタのゲート電極と重ね合せる。

[作 用]

上述した手段によれば、(1)前記薄膜トランジスタのチャンネル幅を前記節型形状に沿って増加したので、映像信号の書込特性を向上することができる。(2)前記薄膜トランジスタのチャンネル

基板SUB1の内側(液晶側)の表面上に薄膜トランジスタTFTを有している。薄膜トランジスタTFTは、主に、ゲート電極GT、ゲート絶縁膜として使用される絶縁膜GI、チャンネル形成領域として使用されるi型半導体層AS、ソース電極(又はドレイン電極)SD1、ドレイン電極(又はソース電極)SD2で構成されている。

前記ゲート電極GTは、例えばスパッタ法で堆積したCr膜g1を用い、約1100[Å]程度の膜厚で形成されている。ゲート電極GTは、走査信号線(ゲート信号線又は水平信号線)GLと同一製造工程(同一導電層)で形成され、走査信号線GLに一体化されている。走査信号線GLは前記Cr膜g1上に導電膜g2を積層した複合膜で形成されている。この導電膜g2は、例えばスパッタ法で堆積したAl膜、ITO膜等を用い、約1200[Å]程度の膜厚で形成する。導電膜g2は、走査信号線GLの抵抗値を低減し、走査信号の伝達速度を速くするように構成されている。前記ゲート電極GTは走査信号線GLのうちの下層のC

r膜g1と一体に構成されている。走査信号線GLは、第1図に示すように水平方向に延在しており、図示していないが垂直方向に複数本配置されている。

前記絶縁膜GIはゲート電極GT及び走査信号線GLの上層に形成されている。絶縁膜GIは、例えばプラズマCVD法で堆積させた窒化珪素膜を用い、約3500[Å]程度の膜厚で形成されている。

i型半導体層ASはゲート絶縁膜GIの上層に島形状で構成されている。i型半導体層ASは、CVD法で堆積させた非晶質珪素膜又は多結晶珪素膜で形成し、約1600~2000[Å]程度の膜厚で形成されている。i型半導体層ASは主に薄膜トランジスタTFTのチャンネル形成領域として使用されている。

i型半導体層ASは、走査信号線GLと映像信号線DLとが交差する部分まで引き伸ばされており、両者間の短絡による線欠陥を防止できるように構成されている。

は、薄膜トランジスタTFTのチャンネル形成領域側において、上層のA膜d2及びITO膜d3に比べて大きいサイズで構成されている。つまり、薄膜トランジスタTFTのチャンネル長寸法は、ソース電極SD1、ドレイン電極SD2の下層のCr膜d1によって規定されている。A膜d2は、例えばスパッタ法で堆積し、約3500[Å]程度の膜厚で形成する。A膜d2は、後述する映像信号線DLにも使用されており、主に映像信号線DLの抵抗値を低減し、映像信号の伝達速度を速くするように構成されている。ITO膜d3は、例えばスパッタ法で堆積し、約1200[Å]程度の膜厚で形成する。このITO膜d3は主に映像信号線DLの抵抗値を低減するように構成されている。

前記ドレイン電極SD2は映像信号線DLと一体に構成されている。前記映像信号線DLはドレイン電極SD2と同様に前記Cr膜d1上にA膜d2、ITO膜d3の夫々を順次積層した複合膜で形成されている。映像信号線DLは、第1図

ソース電極SD1、ドレイン電極SD2の夫々はi型半導体層AS上に夫々離隔して設けられている。ソース電極SD1とドレイン電極SD2とは回路のバイアス極性が変わると動作上ソースとドレインが入れ替わる。つまり、薄膜トランジスタTFTは絶縁ゲート型電界効果トランジスタFETと同様に双方向性で構成されている。

ソース電極SD1、ドレイン電極SD2の夫々は、同一製造工程で形成されており、例えばi型半導体層ASに接触する下層側から、n型半導体層(図示しない)、Cr膜d1、A膜d2、ITO膜d3の夫々を順次積層した複合膜で構成されている。n型半導体層は、非晶質珪素膜又は多結晶珪素膜で形成され、約400[Å]程度の膜厚で形成されている。n型半導体層はi型半導体層ASとCr膜d1との接触抵抗値を低減するように構成されている。Cr膜d1は、例えばスパッタ法で堆積し、約600[Å]程度の膜厚で形成する。Cr膜d1は下層のn型半導体層、上層のA膜d2の夫々との接着強度が高い。このCr膜d1

に示すように走査信号線GLと交差する垂直方向に延在し、図示していないが水平方向に複数本配置されている。

前記ソース電極SD1には、画素毎に設けられた透明電極(透明画素電極)ITO1が接続されている。透明電極ITO1はソース電極SD1の上層のITO膜d3と同一導電膜(同一製造工程)で形成され一体に構成されている。透明電極ITO1は液晶表示部の画素電極の一方を構成する。

第1図に示すように、ソース電極SD1、ドレイン電極SD2の夫々は、チャンネル形成領域側が所定の間隔で離隔した状態(チャンネル長の寸法で離隔した状態)において、互いに噛み合うように平面が櫛型形状で構成されている。そして、前記ソース電極SD1は櫛型形状の一部分具体的には櫛型形状の突出部分の一部をゲート電極GTと重ね合わせている(ソース電極SD1の突出部の先端部分のみをゲート電極GTと重ね合わせている)。本実施例においては、チャンネル長を精度良く規定できるように、ソース電極SD1、ドレイン電極

SD2の夫々のCr膜d1のみを櫛型形状に構成しているが、必ずしもこれに限定されない。つまり、本発明は、ソース電極SD1、ドレイン電極SD2の夫々のCr膜d1、Al膜d2及びITO膜d3を櫛型形状に構成してもよい。

このように、液晶表示装置において、画素の薄膜トランジスタTFTのドレイン電極SD2、ソース電極SD1の夫々を互いに噛み合う平面が櫛型形状で構成し、前記ソース電極SD1の櫛型形状の突出部の一部分を薄膜トランジスタTFTのゲート電極GTと重ね合わせるにより、前記薄膜トランジスタTFTのチャンネル幅を前記櫛型形状に沿って増加したので、映像信号の帯域特性を向上することができ、前記チャンネル幅を増加した分、薄膜トランジスタTFTのサイズを縮小できるので、透明電極ITO1の面積を増加し、開口率を向上することができ、さらに前記薄膜トランジスタTFTのソース電極SD1とゲート電極GTとの間に形成される寄生容量(Cgs)を低減し、走査信号線の立下がりによる透明電極ITO1の保

持電圧の低下量を低減したので、映像信号の保持特性を向上することができる。第1図に示す画素において本発明者が行った解析によれば、前述のようにソース電極SD1及びドレイン電極SD2を櫛型形状で構成しかつソース電極SD1の一部をゲート電極GTに重ねた本実施例の場合、従来のものに比べてチャンネル幅は約20~30[%]増加し、寄生容量(Cgs)は約70~75[%]低減できる結果を得ることができた。

また、前記薄膜トランジスタTFTのドレイン電極SD2は、ゲート電極GTと重なる複数の突出部を有する櫛型形状で構成されているので、ドレイン電極SD2の一部の突出部とゲート電極GTとが短絡した場合でもその部分だけを切断することにより、正常な液晶表示動作を行うことができる。つまり、液晶表示装置は、走査信号線GL-映像信号線DL間(ゲート電極GT-ドレイン電極SD2間)の短絡を修復することができるので、線欠陥及び点欠陥を防止することができる。

前記薄膜トランジスタTFT及び透明電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は、主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は、例えばプラズマCVD法で堆積した酸化珪素膜や窒化珪素膜で形成され、8000[Å]程度の膜厚で形成されている。

下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。上部透明ガラス基板SUB2の内側(液晶側)の表面には、カラーフィルタFIL、保護膜PSV2、共通透明電極(共通透明画素電極)ITO2及び前記上部配向膜ORI2が順次積層して設けられている。

されている。

前記共通透明電極ITO2は、下部透明ガラス基板SUB1側に画素毎に設けられた透明電極ITO1に対向し、隣接する他の共通透明電極ITO2と一体に構成されている。

カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材を各画素毎に染料で染め分けることにより形成されている。染料の染め分けは、フォトリソグラフィ技術を用いて行っている。

保護膜PSV2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜P

液晶LCは、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI1及び上部配向膜ORI2に規定され、封入

SUB2は、例えば、アクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側の夫々の層を別々に形成し、その後、上下透明ガラス基板SUB1及びSUB2を重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の夫々の外側の表面には偏光板POLが形成されている。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

液晶表示装置において、映像信号の書込特性を

向上すると共に、開口率を向上し、かつ映像信号の保持特性を向上することができる。

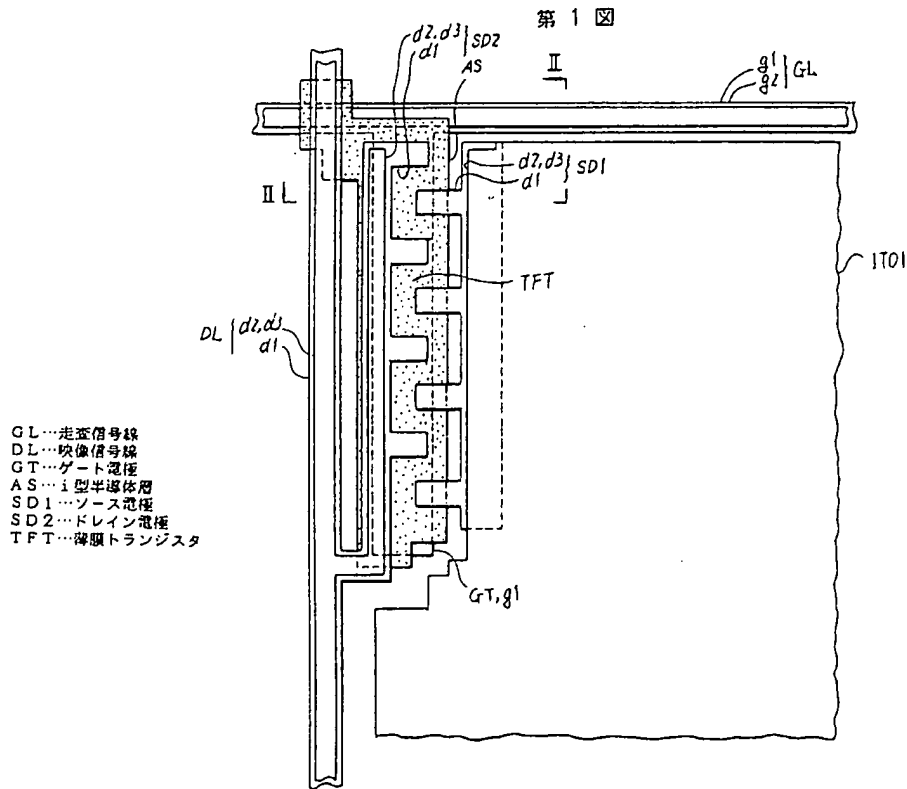
4. 図面の簡単な説明

第1図は、本発明の一実施例である液晶表示装置の液晶表示部の面素を示す要部平面図、

第2図は、前記第1図のII-II切断線で切った断面図である。

図中、SUB…透明ガラス基板、GL…走査信号線、GI…絶縁膜、GT…ゲート電極、AS…i型半導体層、SD1…ソース電極、SD2…ドレイン電極、d1…Cr膜、d2…Al膜、d3…ITO膜、DL…映像信号線、PSV…保護膜、LS…遮光膜、LC…液晶、TFT…薄膜トランジスタである。

代理人 弁理士 小川勝男



第2図

